

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-186334  
 (43)Date of publication of application : 09.07.1999

(51)Int.CI. H01L 21/60  
 H05K 3/32  
 H05K 3/34

(21)Application number : 09-356462 (71)Applicant : TOSHIBA CORP  
 (22)Date of filing : 25.12.1997 (72)Inventor : SEGAWA MASAO

## (54) SEMICONDUCTOR MOUNTING APPARATUS, MANUFACTURE THEREOF AND ANISOTROPICALLY CONDUCTIVE MATERIAL

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To execute fine soldering step and encapsulating resin hardening step by a single reflow treatment by dispersing and holding solder grains in a thermosetting resin medium, and holding flux in the solder grains to provide an anisotropically conductive material.

**SOLUTION:** An anisotropically conductive material 1 is composed of an insulative flexible sheet-like base 2 of a thermosetting resin, such as epoxy resin, acrylic resin, polyimide resin, etc., and many spherical solder grains which are approximately uniformly dispersed in the base 2 such that 10-25 vol.% of the solder grains 3 are uniformly compounded in the base 2 and composed of Pb 37 wt.% and Sn 63 wt.% as an eutectic solder having a concentric core 3a which holds a flux composed of a main component (rosin such as abietic acid) and solvent (such as alcohol), and thereby the encapsulating resin hardening step to be omitted.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(2)

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-186334

(43)公開日 平成11年(1999)7月9日

(51) Int.Cl.<sup>6</sup>  
 H 01 L 21/60  
 H 05 K 3/32  
 3/34

識別記号  
 3 1 1  
 5 0 7

F I  
 H 01 L 21/60  
 H 05 K 3/32  
 3/34

3 1 1 S  
 B  
 5 0 7 C

審査請求 未請求 請求項の数13 O L (全 8 頁)

(21)出願番号 特願平9-356462

(22)出願日 平成9年(1997)12月25日

(71)出願人 000003078

株式会社東芝  
神奈川県川崎市幸区堀川町72番地(72)発明者 濑川 雅雄  
神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

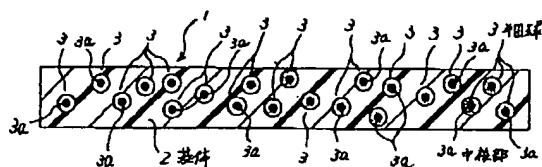
(74)代理人 弁理士 外川 英明

(54)【発明の名称】 半導体実装装置及びその製造方法及び異方性導電材料

## (57)【要約】

【課題】本発明は、半導体実装装置及びその製造方法及び製造に用いられる異方性導電材料に関する。

【解決手段】本発明は、熱硬化性樹脂からなる媒体と、前記媒体中に分散保持された複数の半田粒と、前記半田粒中に保持されたフラックスとを具備する異方性導電材料を用いて半導体実装装置を製造する。



## 【特許請求の範囲】

【請求項1】熱硬化性樹脂からなる媒体と、前記媒体中に分散保持された複数の半田粒と、前記半田粒中に保持されたフラックスとを具備することを特徴とする異方性導電材料。

【請求項2】前記媒体は、シート状であることを特徴とする請求項1記載の異方性導電材料。

【請求項3】前記媒体は、ペースト状であることを特徴とする請求項1記載の異方性導電材料。

【請求項4】前記フラックスは、前記半田粒の中核部に保持されていることを特徴とする請求項1記載の異方性導電材料。

【請求項5】前記フラックスは、複数の小粒体をなし、これら小粒体が前記半田粒に分散保持されていることを特徴とする請求項1記載の異方性導電材料。

【請求項6】熱硬化性樹脂からなる媒体と、前記媒体中に分散保持された複数の半田粒と、前記半田粒中に保持されたフラックスとを具備する異方性導電材料を用いて第1の電極が複数個形成された基板に前記第1の電極に対応する第2の電極が形成されたペアチップが接続されてなる半導体実装装置の製造方法において、前記媒体を前記基板の前記第1の電極が形成されている面に被着させる異方性導電材料被着工程と、前記異方性導電材料被着工程後に前記第1の電極に対して前記第2の電極を前記異方性導電材料を介して当接させる位置決め工程と、前記位置決め工程後に少なくとも前記第1の電極に対する前記第2の電極が当接する部位を前記半田粒が溶融する温度にまで加熱して前記第1の電極と前記第2の電極とを半田付けする半田付け工程と、前記半田付け工程における加熱により前記媒体を熱硬化させ前記ペアチップと前記基板との間隙を封止する樹脂封止工程と具備することを特徴とする半導体実装装置の製造方法。

【請求項7】前記半田付け工程における加熱は、リフロー加熱によることを特徴とする請求項6記載の半導体実装装置の製造方法。

【請求項8】前記半田付け工程における加熱は、フリップチップ・ボンダによる熱圧着を介して行われることを特徴とする請求項6記載の半導体実装装置の製造方法。

【請求項9】前記第2の電極にはバンプが突設され、前記バンプを介して前記第2の電極が前記第1の電極に半田付けすることを特徴とする請求項6記載の半導体実装装置の製造方法。

【請求項10】前記バンプは半田により形成されていることを特徴とする請求項9記載の半導体実装装置の製造方法。

【請求項11】複数の第1の電極が形成された基板と、前記第1の電極に対応して形成された第2の電極を有し且つ前記第2の電極が前記第1の電極に半田付け接続されたペアチップと、前記ペアチップと前記基板との間隙を封止する封止樹脂とを具備し、上記封止樹脂は、熱硬化性樹脂からなる媒体と、前記媒体中に分散保持された複数の半田粒と、前記半田粒中に保持されたフラックスとを有する異方性導電材料が熱硬化したものであることを特徴とする半導体実装装置。

【請求項12】前記第2の電極の前記第1の電極に対する半田付けは、前記媒体中に分散保持された半田粒の溶融により行われることを特徴とする請求項11記載の半導体実装装置。

【請求項13】前記第2の電極にはバンプが突設され、前記バンプを介して前記第2の電極が前記第1の電極に半田付けされていることを特徴とする請求項11記載の半導体実装装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体実装装置及びその製造方法及び異方性導電材料に関する。

## 【0002】

【従来の技術】近時、シリコンのペアチップICを配線基板に直接実装する所謂ペアチップ実装技術が、携帯電話やパソコンを中心に進展をみせている。この中で、ペアチップICの接続用電極を配線基板に対向して、フェイスタウンボンディングするフリップチップ実装技術が、最も高密度実装に優れている点で実用化が進んでいる。

【0003】このようなフリップチップ実装技術は、例えばガラスエポキシ基板などの配線基材101に、例えば銅パターンなどからなる電極102を形成し、これらの電極102にはんだ処理してなる配線基板103を準備する(図8(a)参照)。つぎに、配線基板103にフラックス104を塗布して半田付け性を良くする表面処理を行う(図8(b)参照)。また、ペアチップ105の接続電極106には、予め錫-鉛系の共晶はんだ等で、接続用のバンプ(突起)電極107を形成する(図8(c)参照)。続いて、配線基板103の電極102とペアチップ105のバンプ107を位置合せし、そのまま保持する。その後、例えばリフロー炉などを用いて、ピーク温度が220°C程度で半田を溶融し、配線基板103とペアチップ105を接続する(図8(c)参照)。その後に、ペアチップ105の下面にあるフラックス108を溶剤で除去する(図8(d)参照)。

【0004】つぎに、配線基板103とペアチップ105との接続強度の向上のために、ペアチップ105下面に封止樹脂109を充填する(図8(e)参照)。この際は、ディスペンサ110を用いてペアチップ105の端面に封止樹脂109を塗布して、毛細管現象を利用して、ペアチップ105下面に封止樹脂109を充填する。その後、150°Cにて1時間程度加熱し、封止樹脂109を硬化させる(図8(f)参照)。

【0005】図9は、従来のプロセス・シーケンスを説明するための温度プロファイルを示している。すなわ

ち、まず半田共晶温度以上の温度設定により、半田溶融による半田接続工程を実施する。この後に、封止樹脂109を塗布し、封止樹脂109の加熱硬化を行う。これらの工程は、別々の製造装置を用いて実施する。

#### 【0006】

【発明が解決しようとする課題】しかしながら、上記従来技術には、解決すべき問題があった。すなわち、従来法は、フラックス塗布工程と、半田接続後のフラックス除去工程がすこぶる煩雑である。さらに、フリップチップ接続後の封止樹脂工程において、封止樹脂をチップと基板間の狭いギャップ中に浸入させることが困難であった。

【0007】そればかりか、フリップチップ接続が、チップの全面にバンプが配置されるエリアバンプ配置で、且つ、バンプピッチが300μm以下になると、封止樹脂をギャップ中に浸入させることがすこぶる困難になる。本発明は、前記従来の欠点を参照してなされたもので、半導体実装装置及びその製造方法及び異方性導電材料を提供することを目的とする。

#### 【0008】

【課題を解決するための手段】請求項1の異方性導電材料は、熱硬化性樹脂からなる媒体と、前記媒体中に分散保持された複数の半田粒と、前記半田粒中に保持されたフラックスとを具備する。

【0009】請求項2の異方性導電材料は、請求項1において、前記媒体は、シート状である。請求項3の異方性導電材料は、請求項1において、前記媒体は、ベースト状である。

【0010】請求項4の異方性導電材料は、請求項1において、前記フラックスは、前記半田粒の中核部に保持されている。請求項5の異方性導電材料は、請求項1において、前記フラックスは、複数の小粒体をなし、これら小粒体が前記半田粒に分散保持されている請求項6の半導体実装装置の製造方法は、熱硬化性樹脂からなる媒体と、前記媒体中に分散保持された複数の半田粒と、前記半田粒中に保持されたフラックスとを具備する異方性導電材料を用いて第1の電極が複数個形成された基板に前記第1の電極に対応する第2の電極が形成されたペアチップが接続されてなる半導体実装装置の製造方法において、前記媒体を前記基板の前記第1の電極が形成されている面に被着せる異方性導電材料被着工程と、前記異方性導電材料被着工程後に前記第1の電極に対して前記第2の電極を前記異方性導電材料を介して当接させる位置決め工程と、前記位置決め工程後に少なくとも前記第1の電極に対する前記第2の電極が当接する部位を前記半田粒が溶融する温度にまで加熱して前記第1の電極と前記第2の電極とを半田付けする半田付け工程と、前記半田付け工程における加熱により前記媒体を熱硬化させ前記ペアチップと前記基板との間隙を封止する樹脂封止工程と具備する。

【0011】請求項7の半導体実装装置の製造方法は、請求項6において、前記半田付け工程における加熱は、リフロー加熱による。請求項8の半導体実装装置の製造方法は、請求項6において、前記半田付け工程における加熱は、フリップチップ・ボンダによる熱圧着を介して行われる。

【0012】請求項9の半導体実装装置の製造方法は、請求項6において、前記第2の電極にはバンプが突設され、前記バンプを介して前記第2の電極が前記第1の電極に半田付けする。

【0013】請求項10の半導体実装装置の製造方法は、請求項6において、前記バンプは半田により形成されている。請求項11の半導体実装装置は、複数の第1の電極が形成された基板と、前記第1の電極に対応して形成された第2の電極を有し且つ前記第2の電極が前記第1の電極に半田付け接続されたペアチップと、前記ペアチップと前記基板との間隙を封止する封止樹脂とを具備し、上記封止樹脂は、熱硬化性樹脂からなる媒体と、前記媒体中に分散保持された複数の半田粒と、前記半田粒中に保持されたフラックスとを有する異方性導電材料が熱硬化したものである。

【0014】請求項12の半導体実装装置は、請求項11において、前記第2の電極の前記第1の電極に対する半田付けは、前記媒体中に分散保持された半田粒の溶融により行われる。

【0015】請求項13の半導体実装装置は、請求項11において、前記第2の電極にはバンプが突設され、前記バンプを介して前記第2の電極が前記第1の電極に半田付けされている。

#### 【0016】

【発明の実施の形態】以下、本発明の一実施形態を図面を参照して詳述する。図1は、この実施形態の異方性導電材料1を示している。この異方性導電材料1は、絶縁性を有し且つ可撓性のシート状をなす基体2と、この基体2中にほぼ均等に分散している球状をなす多数の半田粒3とを有している。これら半田粒3は、基体2中に例えば10～25容量%だけ均一に配合されている。

【0017】しかして、基体2は、例えばエポキシ樹脂、アクリル（変性）樹脂、ポリイミド樹脂、ブタジエン樹脂、フェノール樹脂等の熱硬化性樹脂からなるもので、その厚さは例えば50μm、幅は例えば10mm、長さは例えば10mmである。

【0018】一方、半田粒3は、例えば外径が例えば30～50μmの球体をなしている。この半田粒3の成分は、例えば共晶半田としての鉛37重量%，錫63重量%（又は鉛95重量%，錫5重量%又は錫96.5重量%，銀3.5重量%他インジウム等）であり、その融点は共晶半田の場合183°C程度である。

【0019】そして、この半田粒3は、内部に同心状の中核部3aを有している。この中核部3aの半径は、例

えば20~35μmであり、かつ、その材質は、例えば主剤(アビチエン酸等のロジン)及び溶剤(アルコール等)からなるフラックスである(図2参照)。

【0020】このような半田粒3は、以下のようにして製造することができる。すなわち、芯(軸)部にフラックスが入っている糸半田(固形状の半田91とフラックス92を漸次穴径を小さくする微小穴93を挿通せながら塑性変形=押し出し成形させて得る(図3(a)参照)。)を一定長さの断片94に切断し(図3(b)参照)、この切断した断片94の両端を絞り成形することにより半田粒3を成形することができる(図3(c))。

【0021】他方、可携性のシート状をなす基体2は、硬化前のエポキシ樹脂に半田粒3を予め分散・混練し、これをシート状に圧延することにより得ることができる。このような異方性導電材料1は、後述するように、半導体実装装置の製造に際して、微細半田接合工程と封止樹脂硬化工程を1回のリフロー処理により行うことを可能とする。また、半田の濡れ性を向上させるために半田付け部位にフラックスを塗布するフラックス塗布工程及び半田付け後に残存しているフラックスを洗浄する工程を不要とする。その結果、半導体実装装置の生産能率を顕著に向上させることができる。

【0022】また、この実施形態の半導体実装装置は、図4に示すように、ペアチップ13の電極24と基板1の電極22との半田接続の信頼性が高まることはもとより、半田接続部の封止が完全なものとなり、半導体実装装置の品質を顕著に高めることができる。

【0023】つぎに、異方性導電材料1を用いて、この実施形態の半導体実装装置の製造方法及び半導体実装装置について述べる。まず、例えば厚さ1.0mm、縦50mm、横50mmのガラスエポキシ樹脂からなる基板11を準備する(図4(a)参照)。この基板11には、300μmピッチで金めっきされた複数の電極12が形成されている。

【0024】つぎに、異方性導電材料1を基板11の寸法又は電極12の配置領域形状に応じて切断する。そして、切断した異方性導電材料1を基板11の電極11形成領域上に載置・接着する(図4(b)参照)。

【0025】つぎに、ペアチップ13を基板11に対して位置決め・加圧し、異方性導電材料1を介して基板11に、エポキシ樹脂からなる基体2の粘着力により仮固定する(図4(c)参照)。前記ペアチップ13には、平板状のバリヤメタルからなる電極13aが、クロム(Cr)、ニッケル(Ni)、金(Au)等の蒸着法やスパッタ法により前記電極11に対して各別に形成されている。そして、これら各電極13aには、バンプ14が突設されていて、仮固定により、バンプ14は、半田粒3を介して、電極12に当接している。これらバンプ14は、半田より成形されている。

【0026】つぎに、基板11に仮固定されたペアチップ13をリフロー炉中に装入し、例えばピーク温度240°C程度で、約1分保持し、リフロー処理する。すると、半田からなるバンプ14及び半田粒3が溶融する。この半田の溶融に伴い、半田粒3の中核部3aをなすフラックスが溶融半田の濡れ性を促進するので、ペアチップ13を基板11の電極12に確実に半田付けすることができる(図4(d)参照)。

【0027】つぎに、リフロー炉内の温度を、240°Cから例えば150°Cにまで降温させる。この降温の途上、例えば180°C前後で溶融半田は固化する。そして、150°C前後で例えれば3分保持する。その結果、熱硬化樹脂であるエポキシ樹脂からなる基体2は、加熱硬化する(図4(e)参照)。所定時間経過後、室温まで冷却し、この実施形態の半導体実装装置を得ることができる。

【0028】以上のように、この実施形態の半導体実装装置の製造方法は、図5で示すように、微細半田接合工程と封止樹脂硬化工程を1回のリフロー処理により行うことが可能となる。すなわち、微細半田接合工程後に、あらためてディスペンサで熱硬化性の封止樹脂を、ペアチップ13と基板11とのギャップに注入後、再加熱する封止樹脂硬化工程を省略することができる。また、半田の濡れ性を向上させるために半田付け部位にフラックスを塗布するフラックス塗布工程及び半田付け後に残存しているフラックスを洗浄する工程が不要になる。その結果、半導体実装装置の生産能率を顕著に向上させることができる。

【0029】また、この実施形態の半導体実装装置は、ペアチップ13の電極13aと基板11の電極12との半田接続の信頼性が高まることはもとより、半田接続部の封止が完全なものとなり、半導体実装装置の品質を顕著に高めることができる。

【0030】なお、図5における第1保温帯△T1は、バンプ14及び半田粒3を構成する半田の溶融温度よりも20°C~50°C高く設定する。また、図5における第2保温帯△T2は、異方性導電材料1の基体2の熱硬化温度となるように設定する。ただし、第1保温帯△T1と第2保温帯△T2との間に半田の溶融温度が存在するように設定する必要がある。そのため、半田及び基体2の材質を適宜組み合わせる必要がある。この場合、熱硬化性樹脂の組成と硬化剤の組合せにより、所望の硬化温度(120°C~200°Cの温度範囲内にて)に厳密に調整することが可能となる。さらに、前記硬化剤をマイクロカプセル(所望の温度で皮膜が破れる)化することにより短時間硬化を実現することができる。

【0031】さらにまた、半田溶融と封止樹脂の熱硬化をほぼ同時に、すなわち、同一温度帯域にて行ってよい。つぎに、本発明の他の実施形態の半導体実装装置の製造方法及び半導体実装装置について述べる。

【0032】まず、例えば厚さ1.0mm、縦50mm、横50mmのガラスエポキシ樹脂からなる基板21を準備する(図6(a)参照)。この基板21には、300μmピッチで金めっきされた複数の電極22が形成されている。

【0033】つぎに、異方性導電材料1を基板21の寸法又は電極22の配置領域形状に応じて切断する。そして、切断した異方性導電材料1を基板21の電極22形成領域上に載置・接着する(図6(b)参照)。

【0034】つぎに、ペアチップ23を基板21に対して位置決め・加圧し、異方性導電材料1を介して基板21に、エポキシ樹脂からなる基体2の粘着力により仮固定する(図6(c)参照)。前記ペアチップ23には電極22に対して各別に電極24が形成されていて、仮固定により、電極24は、半田粒3を介して、電極22に当接している。これら電極24には、バンプ状の突起は形成されておらず、平板状をなすバリアメタルである。このようなバリアメタルは、クロム(Cr)、ニッケル(Ni)、金(Au)等の蒸着法やスパッタ法により形成する。

【0035】つぎに、基板21に仮固定されたペアチップ23をリフロー炉中に装入し、例えばピーク温度240°C程度で、約1分保持し、リフロー処理する。すると、半田からなる半田粒3が溶融する。この半田粒3の半田の溶融に伴い、半田粒3の中核部3aをなすフラックスが溶融半田の濡れ性を促進するので、ペアチップ23の電極24を基板21の電極22に確実に半田付けすることができる(図6(d)参照)。

【0036】つぎに、リフロー炉内の温度を、240°Cから例えば150°Cにまで降温させる。この降温の途上、例えば180°C前後で溶融半田は固化する。そして、150°C前後にて例えば5分保持する。その結果、熱硬化樹脂であるエポキシ樹脂からなる基体2は、加熱硬化する(図6(e)参照)。そして、所定時間経過後、室温まで冷却する。

【0037】以上のように、この実施形態の半導体実装装置の製造方法も、微細半田接合工程と封止樹脂硬化工程を1回のリフロー処理により行うことが可能となる。すなわち、微細半田接合工程後に、あらためてディスペンサで熱硬化性の封止樹脂を、ペアチップ23と基板21とのギャップに注入後、再加熱する封止樹脂硬化工程を省略することができる。また、半田の濡れ性を向上させるために半田付け部位にフラックスを塗布するフラックス塗布工程及び半田付け後に残存しているフラックスを洗浄する工程が不要になる。その結果、半導体実装装置の生産能率を顕著に向上させることができる。

【0038】また、この実施形態の半導体実装装置も、ペアチップ13の電極24と基板21の電極22との半田接続の信頼性が高まることはもとより、半田接続部の封止が完全なものとなり、半導体実装装置の品質を顕著

に高めることができる。

【0039】なお、この実施形態の半導体実装装置の製造方法は、ペアチップ23の電極24上にバンプを突設させていないが、例えば金(Au)、銅(Cu)、ニッケル(Ni)などの半田の溶融温度では溶融することのないバンプを突設させるようにしてもよい。

【0040】さらに、上記二つの実施形態においては、シート状の異方性導電材料1を用いているが、図7に示すように、異方性導電ペースト41を用い、ディスペンサ42により基板11に塗布しても、上記二つの実施形態と同様に接合することができる。前記異方性導電ペースト41中には、半田粒3が、異方性導電材料1と同率で配合されている。

【0041】さらに、上記二つの実施形態においては、一括リフロー方式により半田を溶融し且つ樹脂を熱硬化させているが、これに限ることなく、図8に示すように、ヒータ51を内蔵したフリップチップ・ボンダのポンディング・ツール52によりペアチップ53を、同じくヒータ53を内蔵したフリップチップ・ボンダのステージ54に保持した基板55に対して異方性導電材料1を介して熱圧着することにより接合するようにしてもよい。こうすることにより、図5に示す温度プロファイルとなるよう厳密な温度制御が可能となる。また、半田が溶融しているときにポンディング・ツール52を矢印49方向に微少量上昇させることによりバンプ56の形状を鼓状に成形することができる。その結果、疲労破壊に対する耐性が大幅に増加する顕著な効果を奏すことができる。

【0042】さらに、上記実施形態の半田粒3は、中核部3aがフラックスとなっているが、図9に示す半田粒61のように、この半田粒61中に、例えば最大粒径20μm程度の小粒体62(球状、角状、異形状、棒状等、形状には限定されない。)を分散させようとしても同様の効果を得ることができる。さらにまた、上記実施形態の半田粒3は、全体として球状をなしているが、角状、異形状、棒状、多面体状等、形状には制約されない。

【0043】

【発明の効果】本発明の異方性導電材料は、半導体実装装置の製造に際して、微細半田接合工程と封止樹脂硬化工程を1回のリフロー処理により行うことを可能とする。また、半田の濡れ性を向上させるために半田付け部位にフラックスを塗布するフラックス塗布工程及び半田付け後に残存しているフラックスを洗浄する工程を不要とする。その結果、半導体実装装置の生産能率を顕著に向上させることができる。

【0044】また、本発明の半導体実装装置の製造方法は、微細半田接合工程と封止樹脂硬化工程を1回のリフロー処理により行うことが可能となる。すなわち、微細半田接合工程後に、あらためてディスペンサで熱硬化性

の封止樹脂を、ペアチップと基板とのギャップに注入後、再加熱する封止樹脂硬化工程を省略することができる。また、半田の濡れ性を向上させるために半田付け部位にフラックスを塗布するフラックス塗布工程及び半田付け後に残存しているフラックスを洗浄する工程が不要になる。その結果、半導体実装装置の生産能率を顕著に向上させることができる。

【0045】また、本発明の半導体実装装置は、ペアチップの電極と基板の電極との半田接続の信頼性が高まることはもとより、半田接続部の封止が完全なものとなり、半導体実装装置の品質を顕著に高めることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態の異方性導電材料の断面図である。

【図2】本発明の一実施形態の半田粒の拡大断面図である。

【図3】本発明の一実施形態の半田粒の製造方法を示す

概略図である。

【図4】本発明の一実施形態の半導体実装装置の製造方法の説明図である。

【図5】本発明の一実施形態の半導体実装装置の製造方法及び半導体実装装置を説明するグラフである。

【図6】本発明の他の実施形態の半導体実装装置の製造方法及び半導体実装装置の説明図である。

【図7】本発明の半導体実装装置の製造方法の変形例の説明図である。

【図8】本発明の半導体実装装置の製造方法の変形例の説明図である。

【図9】本発明の異方性導電材料の変形例の説明図である。

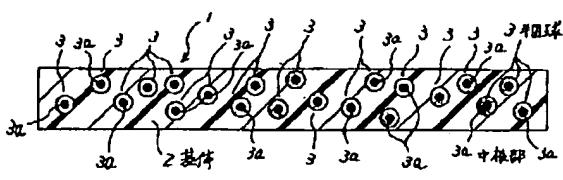
【図10】従来技術の説明図である。

【図11】従来技術の説明図である。

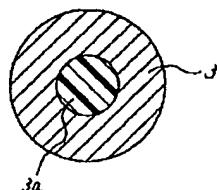
【符号の説明】

1：異方性導電材料、2：基体、3：半田粒、3a：中核部、11：基板、13：ペアチップ、14：バンプ。

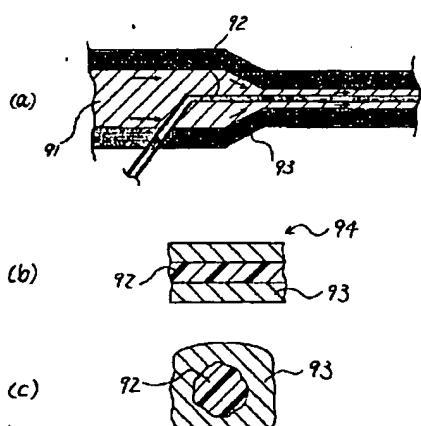
【図1】



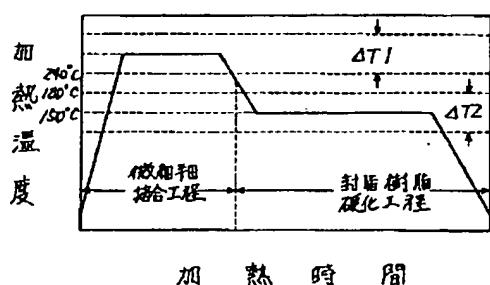
【図2】



【図3】

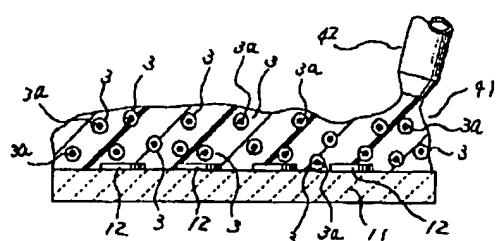


【図5】

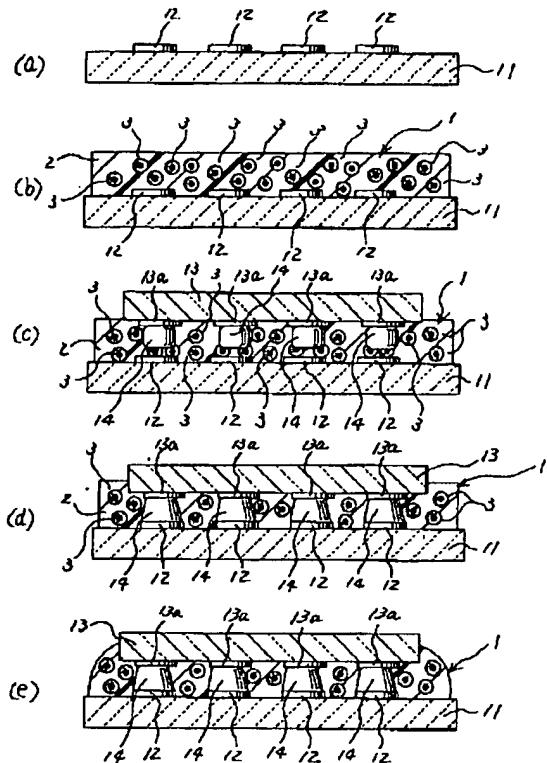


加熱時間

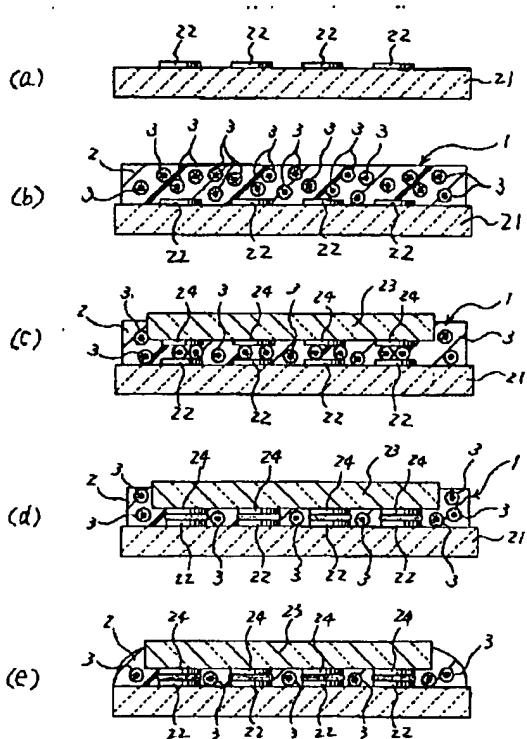
【図7】



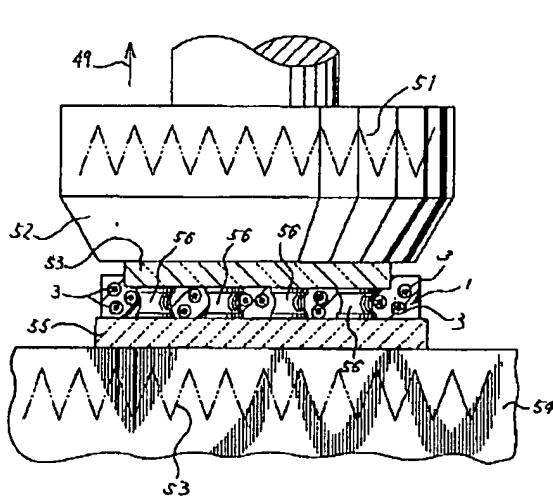
【図4】



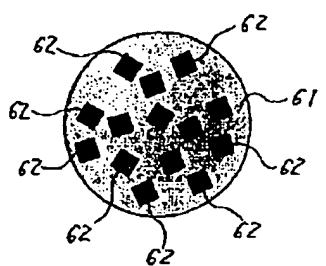
【図6】



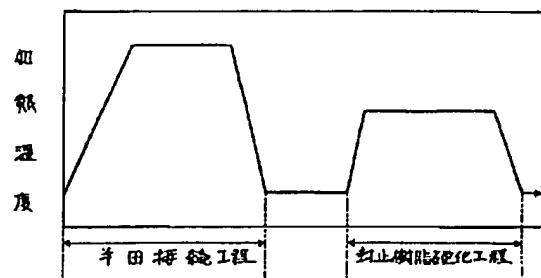
【図8】



【図9】



【図11】



【図10】

